

Requested Patent: JP7183488A
Title: MOS-CONTROLLED THYRISTOR AND ITS MANUFACTURE ;
Abstracted Patent: JP7183488 ;
Publication Date: 1995-07-21 ;
Inventor(s): KURAI SON TORONNAMUCHIYAI ;
Applicant(s): NISSAN MOTOR CO LTD ;
Application Number: JP19930328306 19931224 ;
Priority Number(s): ;
IPC Classification: H01L29/74; H01L21/265; H01L29/744 ;
Equivalents: ;

ABSTRACT:

PURPOSE: To turn off a thyristor in a latchup state reliably and rapidly by making the surface orientation of a P-type channel formed when a negative voltage is applied to a gate electrode (110) orientation.

CONSTITUTION: An N-type base region 3 formed on a P-type silicon substrate 1 of (110) crystal orientation, a gate electrode 5 formed on the N-type base region 3 through a gate insulation film 4 and a MOS-controlled type thyristor wherein a P-type base region 6, an N-type cathode region 7 and a P-type cathode region 8 are formed one by using the gate electrode 5 as a mask. Surface azimuth of a P-type channel formed between the P-type base region 6 and the P-type cathode region 8 formed when a negative voltage is applied to the gate electrode 5 is made (110) orientation. Thereby, the mobility of holes passing through the P-type channel is improved and the thyristor in a latchup state is turned off reliably and rapidly.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-183488

(43)公開日 平成7年(1995)7月21日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/74
21/265
29/744

H 0 1 L 29/ 74
21/ 265

N
V

審査請求 未請求 請求項の数3 O L (全 10 頁) 最終頁に続く

(21)出願番号 特願平5-328306

(22)出願日 平成5年(1993)12月24日

(71)出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72)発明者 クライソン トロンナムチャイ

神奈川県横浜市神奈川区宝町2番地 日産
自動車株式会社内

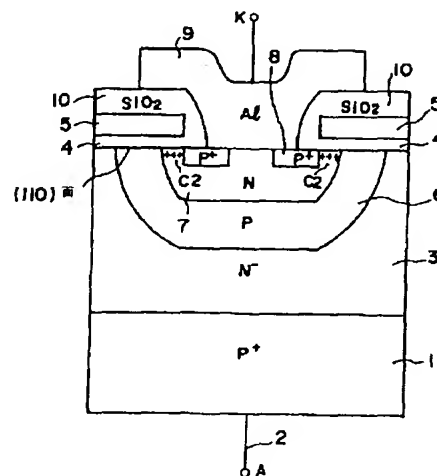
(74)代理人 弁理士 永井 冬紀

(54)【発明の名称】 MOS制御形サイリスタおよびその製造方法

(57)【要約】

【目的】 ゲート電極に負の電圧を印加したときに形成されるP形チャネルの面方位を(110)方位とすることにより、ラッチアップ状態にあるサイリスタを確実にかつ迅速にターンオフさせる。

【構成】 (110)方位のP⁺形シリコン基板1上に形成されたN⁻形ベース領域3と、N⁻形ベース領域3上にゲート絶縁膜4を介して形成されたゲート電極5と、ゲート電極5をマスクにしてP形ベース領域6、N形カソード領域7およびP⁺形カソード領域8を順に形成したMOS制御形サイリスタであり、ゲート電極5に負の電圧を印加したときにP形ベース領域6とP⁺形カソード領域8との間に形成されるP形チャネルの面方位を(110)方位とする。これにより、P形チャネルを通過する正孔の移動度が向上し、ラッチアップ状態にあるサイリスタは確実にかつ迅速にターンオフする。



- | | |
|---------------------------|-------------|
| 1: P ⁺ 形アノード領域 | 6: P形ベース領域 |
| 2: アノード電極 | 7: N形カソード領域 |
| 3: N ⁻ 形ベース領域 | 8: P形カソード領域 |
| 4: ゲート絶縁膜 | 9: カソード電極 |
| 5: ゲート電極 | 10: 陰極絶縁膜 |

1

【特許請求の範囲】

【請求項1】 P形アノード上に形成されたN形ベース領域と、

このN形ベース領域上に、ゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート絶縁膜および前記ゲート電極の所定箇所を除去して露出させたN形ベース領域上に、P形ベース領域、N形カソード領域およびP形カソード領域を順に形成するMOS制御形サイリスタにおいて、

前記ゲート電極に負の電圧を印加したときに前記P形ベース領域と前記P形カソード領域との間に形成されるP形チャンネルの面方位を(110)方位にすることを特徴とするMOS制御形サイリスタ。

【請求項2】 (110)方位のP形シリコン基板上にN形ベース領域を形成する工程と、

前記N形ベース領域上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート絶縁膜および前記ゲート電極の所定箇所を除去してN形ベース領域を露出させる工程と、

露出させた前記N形ベース領域上に、P形ベース領域を形成する工程と、

前記P形ベース領域上に、 $\langle 110 \rangle$ 方向からチャンネルリングを起こさせるようにN型不純物をイオン注入してN形カソード領域を形成する工程と、

前記N形カソード領域上にP形不純物をイオン注入してP形カソード領域を形成する工程とを備えることを特徴とするMOS制御形サイリスタの製造方法。

【請求項3】 請求項2に記載されたMOS制御形サイリスタの製造方法において、

前記P形ベース領域上に、N形不純物を $\langle 110 \rangle$ 方向に対して5度以内の角度からイオン注入してN形カソード領域を形成することを特徴とするMOS制御形サイリスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ラッチアップ状態にあるサイリスタを、確実かつ迅速にターンオフさせるMOS制御形サイリスタに関するものである。

【0002】

【従来の技術】 図9は従来のMOS制御形サイリスタ（以下、単にサイリスタと呼ぶこともある）の構造を示す図である。図9において、1は(100)方位のS1基板を用いて形成されたP⁺形アノード領域であり、その下面にはアノード電極2が接続されている。また、P⁺形アノード領域1の上面にはN⁻形ベース領域3が形成され、その上面にはSiO₂膜等によるゲート絶縁膜4を介してゲート電極5が形成されている。ゲート電極5の所定箇所にはエッチング等によってN⁻形ベース領域3が露出するように溝が掘られ、露出したN⁻形ベース領域3の上面に、順にP形ベース領域6とN形カソード

2

領域7が形成されている。N形カソード領域7の上面には一対のP⁺形カソード領域8が相対して形成され、N形カソード領域7とP⁺形カソード領域8はカソード電極9に接続されている。

【0003】 図5は図9に示す従来のMOS制御形サイリスタの製造方法を説明する図であり、この図を用いて従来の製造方法を順を追って説明する。図5(a)では、(100)方位のP⁺形基板をP⁺形アノード領域1として用い、その上面にエピタキシャル成長法などによってN⁻形ベース領域3を形成し、さらにその上面にゲート絶縁膜4を介してゲート電極5を形成する。次に、フォトリソグラフィ法などによってゲート電極5およびゲート絶縁膜4の一部を除去してN⁻形ベース領域3を露出し、露出したN⁻形ベース領域3の上面にイオン注入等によってP形ベース領域6を形成する。

【0004】 図5(b)では、ゲート電極5をマスクにしてP形ベース領域6の上面にリンまたはヒ素等の不純物をイオン注入した後に熱拡散し、N形カソード領域7を形成する。ここで行うイオン注入は、結晶軸である $\langle 100 \rangle$ 方向に対して5°以上、例えば7°傾けて行う。このように、結晶軸から所定角度傾けてイオン注入することにより、不純物をP形ベース領域6の浅い箇所に注入することができる。注入された不純物は熱拡散によってP形ベース領域6の縦方向(P⁺アノード領域1方向)に進出し、N形カソード領域7の縦方向の厚さは所定値Wになる。また、熱拡散によってN形カソード領域7は横方向にも広がる。

【0005】 図5(c)では、ゲート電極5をマスクにしてボロン等の不純物をイオン注入し、一対のP⁺形カソード領域8を相対して形成する。このとき、P⁺形カソード領域8とP形ベース領域6との間隔Lによって、ゲート電極5に負の電圧を印加した際に形成されるP形チャンネルのチャンネル長が定まる。この場合、P形チャンネル長Lは図5(b)の熱拡散の条件によって定まり、LはWの約0.8倍である。図5(d)では、PSG等による層間絶縁膜10およびカソード電極9となるAl膜を形成して、図9に示すサイリスタが完成する。

【0006】 図9に基づいて従来のMOS制御形サイリスタの動作を説明する。カソード電極9を接地してアノード電極2に正の電圧を印加すると、N⁻形ベース領域3とP形ベース領域6の間に逆バイアス電圧がかかるため、このサイリスタには電流は流れない。

【0007】 この状態でゲート電極5に正の電圧を印加すると、図10に示すように、P形ベース領域6のゲート絶縁膜4側の界面にN形チャンネルC1が形成されるため、N形カソード領域7の電子は、このN形チャンネルC1を通過してN⁻形ベース領域3に進出する。この結果、N⁻形ベース領域3とP形ベース領域6の間の逆バイアス電圧が低くなり、P⁺形アノード領域1からの正孔はN⁻形ベース領域3を通過してP形ベース領域6に進入

し、さらにN形カソード領域7を通してP⁺形カソード領域8に達する。これにより、アノード電極2からカソード電極9に電流が流れてサイリスタはターンオンする。このようなMOS制御形サイリスタは、N形MCT (MOS CONTROLLED THYRISTOR) と呼ばれる。

【0008】以上の動作を図11に示す等価回路を用いて説明する。図9に示すP⁺形アノード領域1、N⁻形ベース領域3およびP形ベース領域6とで、図11に示すPNPトランジスタTR1が構成され、N⁻形ベース領域3、P形ベース領域6およびN形カソード領域7と、NPNトランジスタTR2が構成される。また、ゲート電極5に正の電圧を印加したときに形成されるN形チャンネルC1は、図11に示すMOSゲートG1のドレインD、ソースS間の経路に置き換えられる。

【0009】図11において、カソード電極K(9)を接地してアノード電極A(2)に正の電圧を印加した場合、ゲート電極G(5)が0ボルトであれば、MOSゲートG1はオフ状態であり、TR1のベースに電流は流れない。したがって、TR1はオンせず、TR2のベースにも電流は流れないためTR2もオンせず、結局アノード電極A(2)からカソード電極K(9)に電流は流れない。

【0010】ゲート電極G(5)に正の電圧を印加すると、MOSゲートG1がオン状態になり、TR1のベースからMOSゲートのドレインD、ソースSを介してカソード電極K(9)に電流が流れる。これにより、TR1がオンしてアノード電極A(2)からTR1のコレクタに電流が流れる。この電流はTR2のベースに流れるため、TR2がオンし、結局アノード電極A(2)からの電流は、図示のL1およびL2の経路を流れてカソード電極K(9)に流れる。

【0011】この状態では、TR1のコレクタを流れる電流によってTR2はオン状態を維持し、TR2のコレクタを流れる電流によってTR1はオン状態を維持するため、ゲート電極G(5)に印加する電圧を0ボルトにしても、アノード電極A(2)からカソード電極K(9)に電流は流れ続ける。すなわち、図9に示すサイリスタは、いったんゲート電極G(5)に正の電圧を印加した後は、負の電圧を印加しない限り、いわゆるラッチアップ状態を維持する。

【0012】このようなラッチアップ状態では、P⁺形アノード領域1からの正孔とN形カソード領域7からの電子が、図9に示すN⁻形ベース領域にそれぞれ大量に進入して蓄積するため、N⁻形ベース領域3で電導度変調が起こり電導度が上昇する。これにより、サイリスタのターンオン時のオン抵抗が小さくなり、サイリスタには大量の電流を流すことができるようになる。また、ラッチアップ時には、電流が縦方向(図9の矢印方向)に流れるため、流せる電流の量は基板の面方位に依存しない。このため、従来は拡散数や酸化レート等の製造ブ

ロセスに関する種々の定数値が既知である(100)方位の基板を用いてMOS制御形サイリスタを製造していた。

【0013】次に、図9に示すサイリスタのゲート電極5に負の電圧を印加すると、P形ベース領域6の表面に形成されていたN形チャンネルC1は消滅し、その代わりに図12に示すように、P⁺形カソード領域8とP形ベース領域6の間のゲート絶縁膜4側の界面付近にP形チャンネルC2が形成される。その結果、P形ベース領域6とP⁺形カソード領域8とが電氣的に接続され、サイリスタのオン時にP⁺形アノード領域1からN⁻形ベース領域3を流れてP形ベース領域6に注入されて蓄積している大量の正孔はこのP形チャンネルC2を流れてP⁺カソード領域8に進入する。このため、N形カソード領域7からP形ベース領域6を流れてN⁻形ベース領域3に縦方向に進入する電子が減少する。これによって、サイリスタはラッチアップ状態から脱し、アノード電極2からカソード電極9に電流は流れなくなり、サイリスタはターンオフする。

【0014】このターンオンからターンオフに移行する動作を図11(b)に示す等価回路を用いて説明すると、ゲート電極5に負の電圧を印加したときに形成されるP形チャンネルC2は、図示のMOSゲートG2のドレインD、ソースS間の経路に置き換えられる。サイリスタのオン時に図示の経路L2を流れる電流はすべてTR2のベース端子に流れるのに対し、MOSゲートG2がオンすると経路L2を流れる電流の一部がMOSゲートG2にも流れるようになる。その結果、TR2のベース電流が減少し、これによりTR2のコレクタ電流すなわちTR1のベース電流も減少する。その結果、TR1、TR2は双方ともオン状態を維持できなくなり、サイリスタはターンオフする。

【0015】

【発明が解決しようとする課題】図13に示すように、正孔と電子の移動度はともに面方位によって変化し、(110)方位のときに最も正孔の移動度が大きく、(100)方位での正孔の移動度は(110)方位に比べて2分の1程度にすぎない。したがって、従来のように、P形チャンネルC2部分が(100)方位に形成されている場合、P形チャンネルC2を通れる正孔の量は制限される。すなわち、(100)方位の基板上に形成されたP形チャンネルC2部分の抵抗は大きい。このため、図12において、ターンオン時に大量の電流が流れている状態でゲート電極5に負の電圧を印加すると、P形ベース領域6に蓄積している大量の正孔は、P形チャンネルC2部分の抵抗によってP⁺カソード領域8に進入できず、結局サイリスタはターンオフせず、ラッチアップ状態を維持し続ける。すなわち、図11(b)に示すMOSゲートG2の抵抗が大きければMOSゲートG2にあまり電流が流れず、したがってTR1およびTR2のベ

ース電流の量はターンオン時とあまり変わらず、TR1およびTR2はオン状態を維持し、サイリスタはオン状態（ラッチアップ状態）を維持する。

【0016】P形チャンネルC2の抵抗を下げるためには、例えばP形チャンネルC2のチャンネル長Lを短くすることが考えられる。特に、N形MCTの場合には、P⁺形カソード領域8とP形ベース領域6の間にかかる電圧は小さいため、ピンチオフを考慮する必要はなく、P形チャンネル長Lは短いほど望ましい。しかし、図5に示す従来の製造方法では、イオン注入後の熱拡散によってP形チャンネル長Lが規定されるため、P形チャンネル長Lは、N形カソード領域の厚さWの約0.8倍というほぼ決まった値になる。したがって、チャンネル長Lを短くすると厚さWも小さくなってしまふ。

【0017】また、従来のN形MCTは、P形チャンネルC2を正孔が移動する際に界面散乱の影響を受けやすく、この界面散乱によって移動度が小さくなるという問題もある。図3は、P形チャンネル付近の界面状態と、P形チャンネルを移動する正孔の移動経路を示す図である。図示のように、界面は平面ではなく、凹凸を繰り返している。P形ベース領域6とP⁺形カソード領域8間の電位差（以下、ドレイン電圧と呼ぶ）とゲート電圧が図示の細線矢印の向きに印加される場合、それらを合成した合成電圧の向きは太線矢印で示される。

【0018】図3（a）はドレイン電圧が大きい場合、図3（b）はドレイン電圧が小さい場合（例えば、ドレイン電圧が0.5ボルト）を示す。図3（a）、（b）の合成電圧を比較すると、ドレイン電圧の小さい図3（b）の太線矢印の方が、界面方向を向いている。このため、図3（b）の方が界面の凹凸の影響を強く受け、図示のように、正孔の移動経路が長くなり、正孔の移動度が小さくなる。N形MCTのターンオン時には、アノード・カソード間の電圧は約1ボルト以下になるため、ドレイン電圧は約0.5ボルト以下になる。したがって、P形チャンネルC2を移動する正孔の移動経路は図3（b）のようになり、正孔の移動度が小さくなる。

【0019】このような問題を解決するため、図9のP⁺形アノード領域1、N⁻形ベース領域3、P形ベース領域6、N形カソード領域7およびP⁺カソード領域8の各電導形をすべて逆にした、P形MCTを用いることも考えられる。P形MCTの場合、ターンオフ時に形成されるチャンネルはN形である。図13に示すように、電子の移動度は正孔よりも大きく、また、基板の面方位が（100）面の場合が最も移動度が大きい。このため、N形MCTよりもP形MCTの方が先に商品化されている（例えば、HARRIS SEMICONDUCTOR社 MCTV75P60E1またはMCTA75P60E1等）。

【0020】しかし、P形MCTを使用する際は、図14（a）に示すように、カソードに負荷を接続した、いわゆるハイサイドスイッチ構成にする必要があり、電圧

制御が面倒になるという問題がある。すなわち、P形MCTをターンオンさせるためには、ゲート電極G（5）の電圧をアノード電極A（2）の電圧よりも低くする必要があり、一方ターンオフさせるためには、ゲート電極G（5）の電圧をアノード電極A（2）の電圧よりも高くする必要があり、ゲート電極G（5）に電源電圧以上の電圧を印加する必要があり、電圧制御が複雑になる。なお、P形MCTを、図14（b）に示すように、アノード電極A（2）に負荷を接続した、いわゆるローサイドスイッチ構成にして負の電圧を用いることも考えられるが、ローサイドスイッチ構成の場合には負の電源電圧を用意しなければならず、またゲート電極G（5）に負の電圧を印加しなければならず、やはり電圧制御が複雑になる。

【0021】一方、図14（c）に示すように、N形MCTをローサイドスイッチ構成にすると、ゲート電極G（5）に0ボルトより大きい電圧を印加すればターンオンし、0ボルトにすればターンオフするため、P形MCTに比べて回路が簡易化する（HARRIS SEMICONDUCTOR社 MCT USER'S GUIDE P2.2 参照）。

【0022】本発明の目的は、ゲート電極に負の電圧を印加したときに形成されるP形チャンネルの面方位を（110）方位とすることにより、ラッチアップ状態にあるサイリスタを確実にかつ迅速にターンオフさせるMOS制御形サイリスタおよびその製造方法を提供することにある。

【0023】

【課題を解決するための手段】実施例を示す図1に対応づけて本発明を説明すると、本発明は、P形アノード1上に形成されたN形ベース領域3と、このN形ベース領域3上に、ゲート絶縁膜4を介して形成されたゲート電極5と、ゲート絶縁膜4およびゲート電極5の所定箇所を除去して露出させたN形ベース領域3上に、P形ベース領域6、N形カソード領域7およびP形カソード領域9を順に形成するMOS制御形サイリスタに適用され、ゲート電極5に負の電圧を印加したときにP形ベース領域6とP形カソード領域9との間に形成されるP形チャンネルC2の面方位を（110）方位にすることにより、上記目的は達成される。請求項2に記載の発明は、（110）方位のP形シリコン基板上にN形ベース領域3を形成する工程と、N形ベース領域3上にゲート絶縁膜4を介してゲート電極5を形成する工程と、ゲート絶縁膜4およびゲート電極5の所定箇所を除去してN形ベース領域3を露出させる工程と、露出させたN形ベース領域3上に、P形ベース領域6を形成する工程と、P形ベース領域6上に、＜110＞方向からチャネリングを起こさせるようにN型不純物をイオン注入してN形カソード領域7を形成する工程と、N形カソード領域7上にP形不純物をイオン注入してP形カソード領域9を形成する工程とを備えることにより、上記目的は達成される。請

求項3に記載の発明は、請求項2に記載されたMOS制御形サイリスタの製造方法において、P形ベース領域6上に、N形不純物を<110>方向に対して5度以内の角度からイオン注入してN形カソード領域7を形成するものである。

【0024】

【作用】請求項1に記載の発明では、ゲート電極5に負の電圧が印加された場合すなわちサイリスタがターンオフの場合に、P形ベース領域6とP形カソード領域9との間に形成されるP形チャンネルC2の面方位を(110)方位としたため、P形チャンネルC2を移動する正孔の移動度が大きくなり、ターンオンしているサイリスタは確実にかつ迅速にターンオフする。請求項2に記載の発明では、N形不純物を<110>方向からチャネリングを起こさせるようにイオン注入してN形カソード領域7を形成する工程を設けたため、ターンオフ時にP形ベース領域6とP形カソード領域8との間に形成されるP形チャンネルC2のチャンネル長が短くなり、そのオン抵抗は小さく、したがって、ターンオンしているサイリスタは確実にかつ迅速にターンオフする。請求項3に記載の発明では、N形不純物を<110>方向に対して5度以内の角度からイオン注入してN形カソード領域7を形成するため、ターンオフ時にP形ベース領域6とP形カソード領域8との間に形成されるP形チャンネルC2のチャンネル長は短くなり、したがってそのオン抵抗は小さくなる。

【0025】なお、本発明の構成を説明する上記課題を解決するための手段と作用の項では、本発明を分かり易くするために実施例の図を用いたが、これにより本発明が実施例に限定されるものではない。

【0026】

【実施例】

ー第1の実施例ー

図1は本発明によるN形MOS制御形サイリスタ(N形MCT)の第1の実施例の構造を示す図である。図1は(110)方位の基板を用いてサイリスタの各領域を形成する点を除いて、図9に示す従来のN形MCTと同様の構造を有するため、構造の説明を省略して図1に基づいてターンオフ時の動作を説明する。なお、ターンオン時の動作は図9と同様であるため、説明を省略する。

【0027】ターンオンしているサイリスタのゲート電極5に負の電圧を印加すると、P⁺形カソード領域8とP形ベース領域6の間にP形チャンネルC2が形成される。P形ベース領域6に蓄積している大量の正孔は、P形チャンネルC2を通してP⁺形カソード領域8に進入する。P形チャンネルC2の面方位は(110)方位であるため、図13に示すように、正孔の移動度は十分に大きい。したがって、P形ベース領域6の正孔は速やかにP⁺形カソード領域8に移動し、サイリスタはラッチアップ状態から脱してターンオフする。

【0028】また、(110)面は(100)面比べて

て界面散乱の影響が少ない。すなわち、図2に示す(110)面は、図3に示す(100)面に比べて界面の凹凸が少ないため、ドレイン電圧が大きい場合の正孔の移動は図2(a)のようになり、図3(a)に比べて正孔の移動経路は短くなる。その分、(110)面の方が(100)面に比べ、正孔の移動度が大きくなり、チャネル抵抗も小さくなる。この傾向は図2(b)に示すように、ドレイン電圧が小さい場合に特に顕著であり、図3(b)に示す(100)面に比較して正孔の移動度は格段に大きくなる。前述したように、ゲート電極5に負の電圧を印加した場合には、P形ベース領域6とP⁺形カソード領域8間の電位差は0.5ボルト以下になるため、P形チャンネルC2の移動経路は図2(b)のようになる。

【0029】図4は図1に示すサイリスタの製造方法を説明する図であり、この図を用いて製造方法を順を追って説明する。図4(a)は面方位が(110)の基板を用いて図5(a)と同様に製造する。図4(b)では、ゲート電極5をマスクにして、リンまたはヒ素を<110>方向に対してチャネリングを起こす臨界角度以内、例えば5°以内の角度でイオン注入する。シリコン結晶を(110)面から眺めると、図6に示すように、シリコン原子のない隙間が存在する。このため、<110>方向から注入されたイオンは、シリコン原子に衝突することなく、結晶内部に進入し、これをチャネリングと呼ぶ。そして、イオン注入する角度を<110>方向から少しずつ傾けていき、チャネリングを起こさなくなる限界の角度をチャネリング臨界角度と呼び、(110)面の場合は約5°である。

【0030】チャネリング臨界角度以内でイオン注入すると、イオン注入された不純物はチャネリングによって縦方向の深さW1まで進入する。その後、熱拡散を行うと、さらにW2だけ深く進入するため、これらを合わせるとN形カソード領域7の縦方向の厚さWはW=W1+W2となる。図4(c)では、図5(c)と同様にP⁺形カソード領域8を形成する。図4(b)の熱拡散を行うと、不純物は横方向にも進入するため、P⁺形カソード領域8とP形ベース領域6の間隔L(P形チャンネル長)は、約W2×0.8と規定される。この値は従来のP形チャンネル長約W×0.8よりも短い。図4(d)では、図5(d)と同様にして層間絶縁膜10およびカソード電極9を形成する。

【0031】このように、本実施例では、ゲート電極5に負の電圧を印加した場合に形成されるP形チャンネルC2の面方位を(110)方位としたため、P形チャンネルC2を移動する正孔の移動度を大きくすることができ、ターンオンしているサイリスタを確実にかつ迅速にターンオフすることができる。また、チャネリングと熱拡散との二重拡散によって、N形カソード領域7の厚さWを規定するため、従来よりも熱拡散を行う時間が短くて済

み、その分P⁺形カソード領域8とP形ベース領域6との間隔(P形チャンネル長)Lを短くできる。

【0032】図4に示す製造方法では、P形ベース領域6やP⁺形カソード領域8を形成する際には、チャネリングを起こさない方向からイオン注入を行っているが、チャネリングを起こす方向からイオン注入してもよい。これにより、イオン注入の角度制御を行う手間が省ける。

【0033】-第2の実施例-

第1の実施例は、(110)方位のシリコン基板を用いてサイリスタの各領域を形成したのに対し、第2の実施例は、従来と同様に(100)方位の基板を用いてサイリスタの各領域を形成し、P形チャンネル部分だけを(110)方位にするものである。図7は第2の実施例の構造を示す図である。この第2の実施例は図4に示す従来の製造方法によって図4(c)を形成した後、ドライエッチング等によって一対のP⁺カソード領域8の間にあるN形カソード領域7を直角に、すなわち<110>方向に除去して溝を作製し、溝の底面がP形ベース領域6に届くようにする。作製された溝の底面および側面にゲート絶縁膜41を介して多結晶シリコンによるゲート電極51を形成した後、図4(d)と同様にPSG等による層間絶縁膜10とカソード電極9となるAl膜を形成する。

【0034】このようにして形成したN形MCTでは、ターンオン時には第1の実施例と同様の箇所にN形チャンネルC1が形成され、一方ターンオフ時には図7に示すように、溝の側面に沿って、すなわち<110>方向にP形チャンネルC2が形成される。

【0035】この第2の実施例のN形MCTは、製造プロセスに関する種々の定数値が既知である(100)方位の基板を使用してサイリスタの各領域を形成するため、製造誤差および基板コストの低減が図れる。また、(100)方位の基板に溝を作製し、ターンオフ時には、その溝の側面にP形チャンネルC2を形成するようにしたため、第1の実施例のようにP形チャンネルC2を基板の横方向に形成する場合に比較して、素子構造の微細化が図れる。また、この溝の側面は<110>方向に設けられるため、第1の実施例と同様に、P形チャンネルC2を通る正孔の移動度を大きくすることができ、サイリスタを確実にかつ迅速にターンオフさせることができる。さらに、溝の側面の面積を大きくすることが容易にできるため、これによりP形チャンネル幅を広げることができ、よりいっそう正孔の移動度を大きくすることができる。

【0036】-第3の実施例-

第3の実施例は、第2の実施例よりも溝の厚さを厚くしてゲート電極の数を減らしたものである。図8は第3の実施例の構造を示す図である。第3の実施例は、第2の実施例と同様に、(100)方位の基板に側面が<110>

>方向の溝を作製する。その際、第2の実施例と異なり、溝の底面がP形ベース領域6を貫通してN形ベース領域3に届くまで深く掘り出す。また、ゲート電極5は溝の内部だけに設ける。このようにすると、サイリスタがターンオンしたときに形成されるN形チャンネルC1と、ターンオフしたときに形成されるP形チャンネルC2は図8に示されるように、ともに溝の側面に沿って形成される。また、第3の実施例では、溝の内部だけにゲート電極5を設ければよいから、第2の実施例に比べてよりいっそうの微細化が図れる。

【0037】上記第2、第3の実施例では、(100)方位の基板を用いる例を示したが、(110)方位と直交する面方位の基板であればよく、例えば(111)方位の基板を用いてもよい。

【0038】

【発明の効果】以上詳細に説明したように、本発明によれば、ゲート電極に負の電圧を印加したときに形成されるP形チャンネルの面方位を(110)方位としたため、P形チャンネルを通過する正孔の移動度が向上し、ラッチアップ状態にあるサイリスタを確実にかつ迅速にターンオフさせることができる。また、P形チャンネルを通過する正孔は、(110)方位の方が(100)方位よりも界面散乱の影響を受けないため、よりいっそう正孔の移動度が向上する。したがって、サイリスタの電流容量を大きくすることができる。

【図面の簡単な説明】

【図1】本発明によるMOS制御形サイリスタの第1の実施例の構造を示す図である。

【図2】(110)面のP形チャンネル付近の界面状態と正孔の移動経路を示す図である。

【図3】(100)面のP形チャンネル付近の界面状態と正孔の移動経路を示す図である。

【図4】図1に示すサイリスタの製造方法を説明する図である。

【図5】従来のサイリスタの製造方法を説明する図である。

【図6】<110>方向からシリコン結晶を眺めた図である。

【図7】本発明によるMOS制御形サイリスタの第2の実施例の構造を示す図である。

【図8】本発明によるMOS制御形サイリスタの第3の実施例の構造を示す図である。

【図9】従来のMOS制御形サイリスタの構造を示す図である。

【図10】図9のサイリスタのゲート電極に正の電圧を印加した場合に形成されるN形チャンネルを示す図である。

【図11】図11(a)はターンオン時の等価回路図、図11(b)はターンオフ時の等価回路図である。

【図12】図9のサイリスタのゲート電極に負の電圧を

11

印加した場合に形成されるP形チャネルを示す図である。

【図13】面方位と移動度との関係を説明する図である。

【図14】サイリスタのハイサイドスイッチ構成とローサイドスイッチ構成を示す図である。

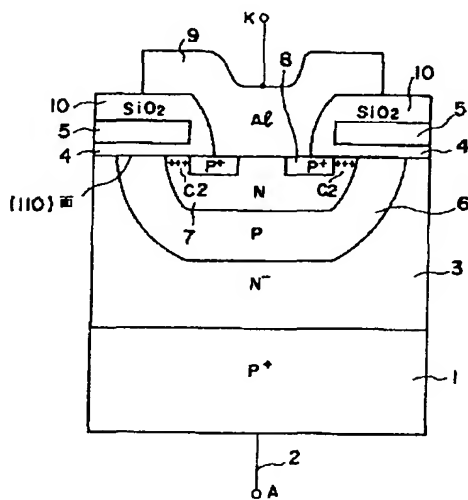
【符号の説明】

- 1 P⁺形アノード領域
- 2 アノード電極

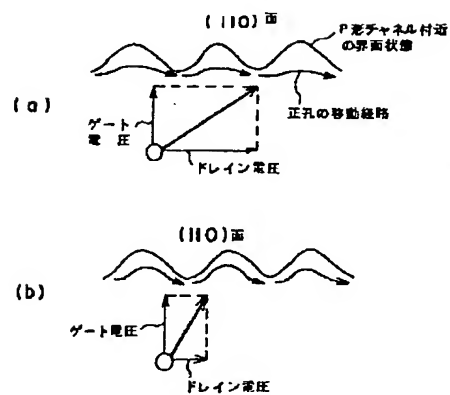
12

- 3 N⁻形ベース領域
- 4 ゲート絶縁膜
- 5 ゲート電極
- 6 P形ベース領域
- 7 N形カソード領域
- 8 P⁺形カソード領域
- 9 カソード電極
- 10 層間絶縁膜

【図1】

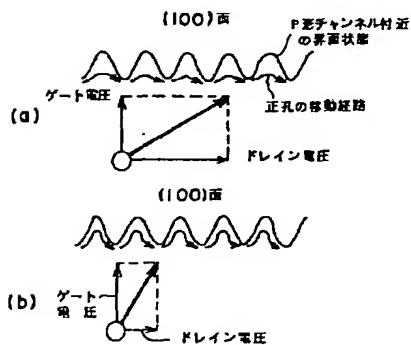


【図2】

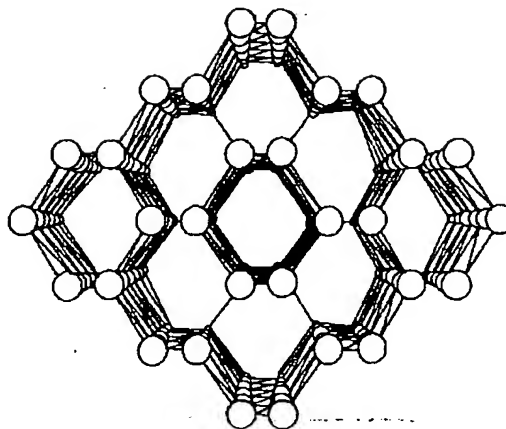


- 1: P⁺形アノード領域
- 2: アノード電極
- 3: N⁻形ベース領域
- 4: ゲート絶縁膜
- 5: ゲート電極
- 6: P形ベース領域
- 7: N形カソード領域
- 8: P⁺形カソード領域
- 9: カソード電極
- 10: 層間絶縁膜

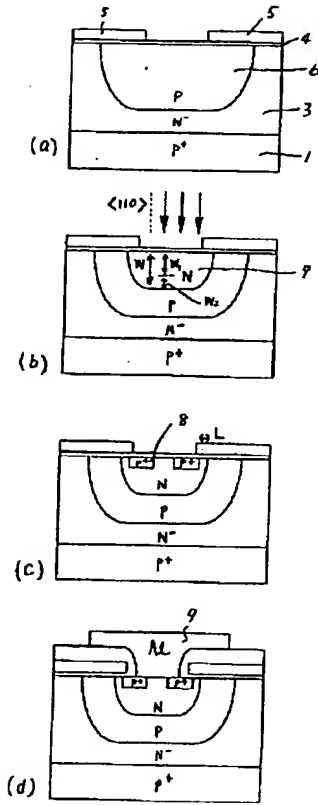
【図3】



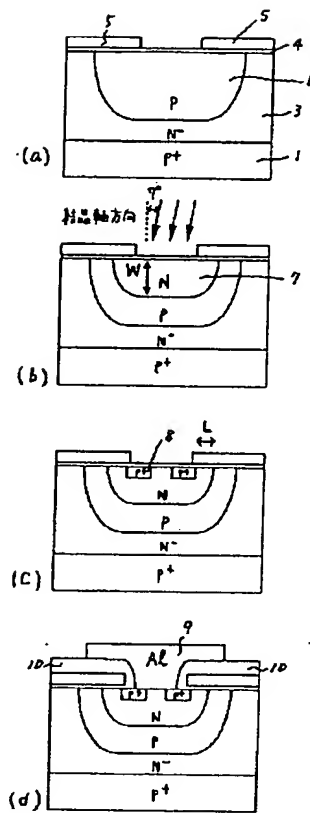
【図6】



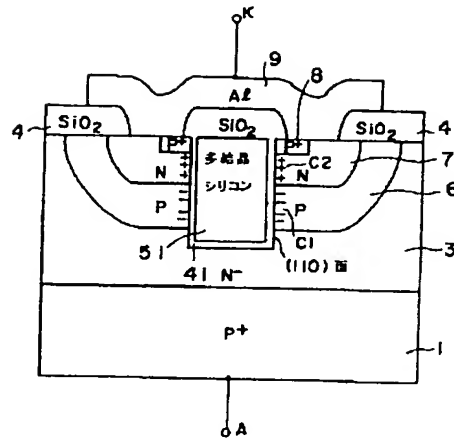
【図4】



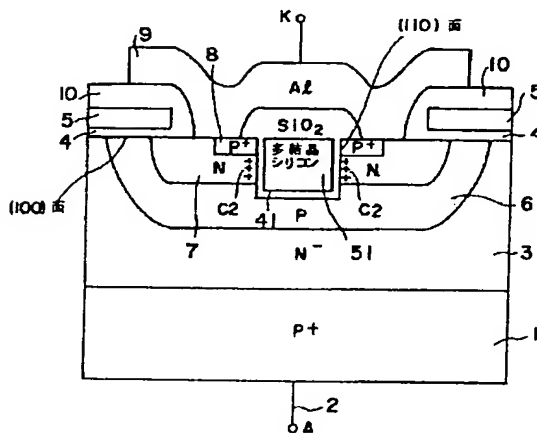
【図5】



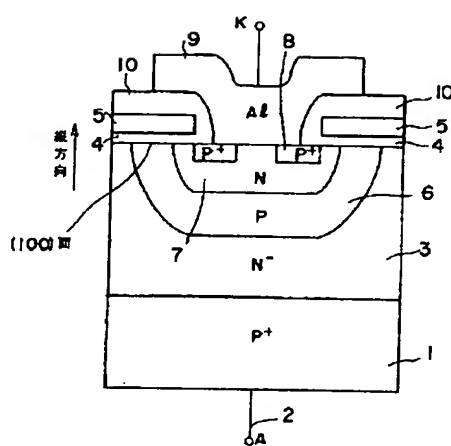
【図8】



【図7】



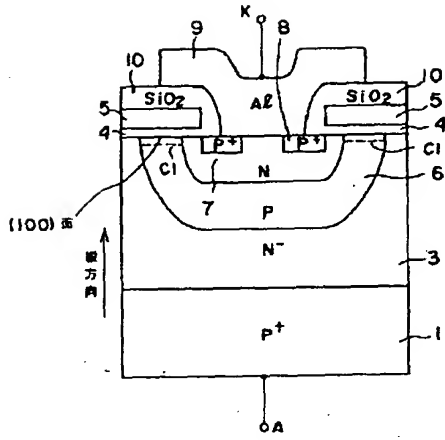
【図9】



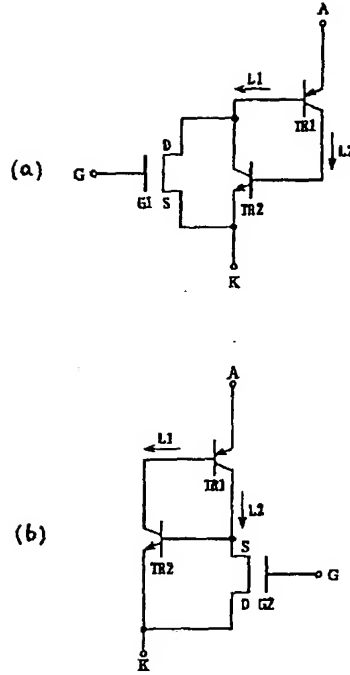
1: P⁺形アノード領域
2: アノード電極
3: N⁻形ベース領域
4: ゲート絶縁膜
5: ゲート電極

6: P形ベース領域
7: N形カソード領域
8: Pカソード領域
9: カソード電極
10: 層間絶縁膜

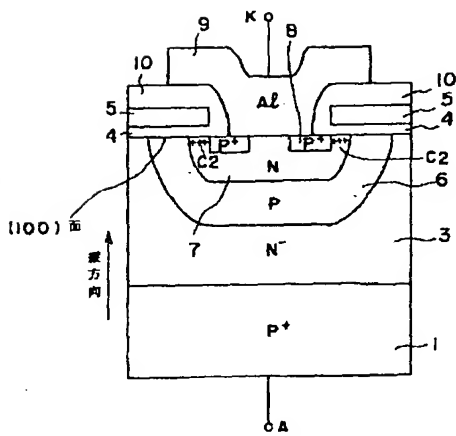
【図10】



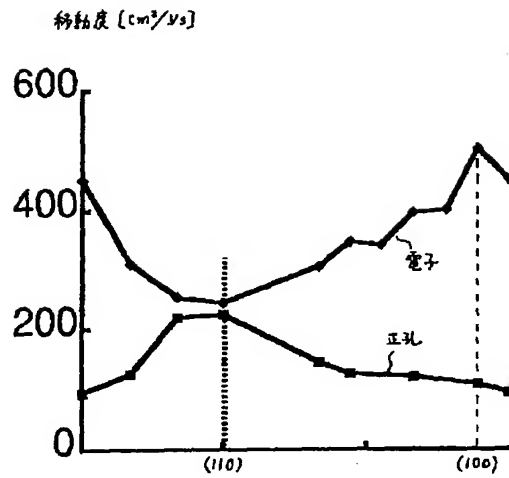
【図11】



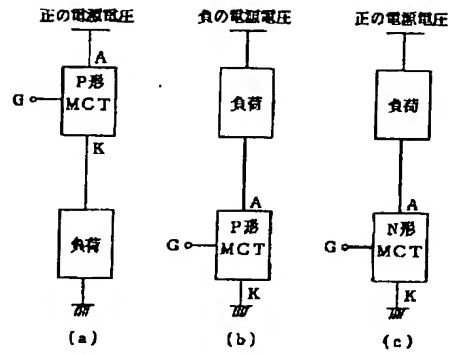
【図12】



【図13】



【図14】



フロントページの続き

(51) Int. Cl.⁶

識別記号

庁内整理番号

F I

H 0 1 L 29/74

技術表示箇所

Q
C